

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-330945

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

H03K 19/177
H01L 21/82
H03K 19/173

(21)Application number : 08-120547

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 15.05.1996

(72)Inventor : IADANZA JOSEPH ANDREW

(30)Priority

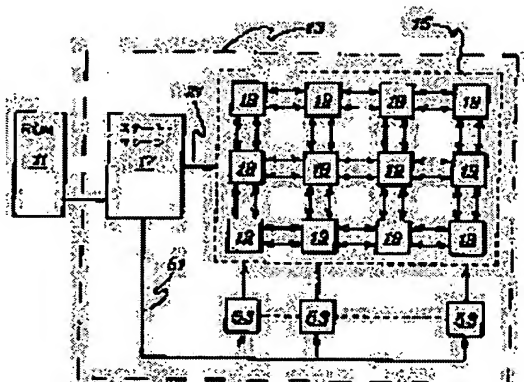
Priority number : 95 462392 Priority date : 05.06.1995 Priority country : US

(54) DYNAMICALLY RECONFIGURABLE SYSTEM FOR PROGRAMMABLE GATE ARRAY

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a programmable array provided with a dynamically reconfigurable function.

SOLUTION: A programming array, including plural programming words is installed in each of plural logic cells 19 of a programmable gate array(PGA) 13. Each programming word is capable of being linked with control structure of the logic cells. The programming words are selectively linked and as a result, the plural functions are executed by the logic cells 19 in the PGA 13. As a result, the PGA 13 having many virtual logic cells which are more than the number of actual physical logic cells is provided. Therefore, the PGA 13 with more logic cells 19 than those physically provided with the PGA 13 can be emulated by the PGA 13.



LEGAL STATUS

[Date of request for examination] 22.12.1999

[Date of sending the examiner's decision of rejection] 06.04.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330945

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/177		9199-5K	H 0 3 K 19/177	
H 0 1 L 21/82		9199-5K	19/173	1 0 1
H 0 3 K 19/173	1 0 1		H 0 1 L 21/82	A

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平8-120547

(22) 出願日 平成8年(1996)5月15日

(31) 優先権主張番号 4 6 2 3 9 2

(32) 優先日 1995年6月5日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)(72) 発明者 ジョセフ・アンドリュウ・イアダンツァ
アメリカ合衆国05456、バーモント州、ハ
イネスバーグ、リッジビュー・エステイツ
7

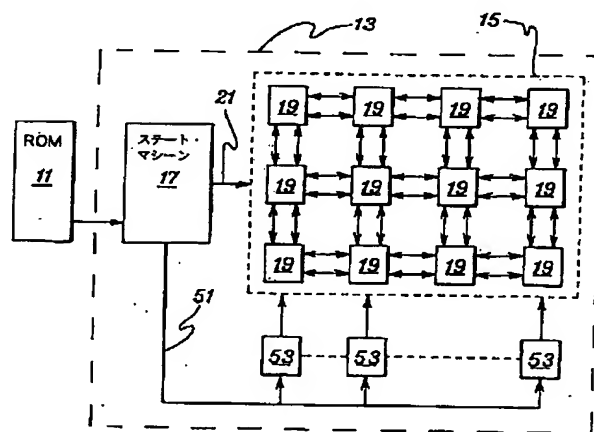
(74) 代理人 弁理士 合田 潔 (外2名)

(54) 【発明の名称】 プログラム可能ゲート・アレイの動的再構成システム

(57) 【要約】

【課題】 動的再構成機能を有するプログラム可能アレイを提供する。

【解決手段】 プログラム可能ゲート・アレイ (「PGA」) 13の複数の論理セル19の各々には、複数のプログラミング・ワードを含むプログラミング・アレイが設けられる。各プログラミング・ワードは、論理セルの構成を制御するために連結可能である。プログラミング・ワードは選択的に連結され、その結果PGA内の論理セルにより複数の機能が実行される。結果として、実際の物理的論理セルより多い、多数の仮想論理セルを有すPGAが提供される。したがって、PGAは、それが物理的に有する数より多い論理セルを有すPGAをエミュレートできる。



【特許請求の範囲】

【請求項1】 プログラム可能アレイ（「PA」）内の論理セルのための構成システムにして、（a） 前記PAに同時に記憶され、それぞれ論理セルの構成を制御するように機能する複数のプログラミング・ワードと、

（b） 論理セルの構成を制御するために、前記複数のプログラミング・ワードの選択されたプログラミング・ワードを選択する手段と、を含む構成システム。

【請求項2】 前記複数のプログラミング・ワードがプログラミング・アレイを構成し、前記プログラミング・アレイが、 $M \times N$ ビットを有すスタティック・ランダム・アクセス・メモリ（「SRAM」）を構成する、請求項1に記載の構成システム。

【請求項3】 前記選択手段が前記プログラミング・アレイの異なるプログラミング・ワードを順次選択するためのプログラム可能カウンタを含む、請求項1または2に記載の構成システム。

【請求項4】 （a） 論理セルの構成を制御するように機能する論理セル内に同時に記憶され、それぞれ複数のプログラミング・ワードと、（b） 論理セルの構成を制御するために、前記複数のプログラミング・ワードの選択されたプログラミング・ワードを選択する手段と、を含む論理セル。

【請求項5】 （a） 論理セルの構成を制御するように機能する論理セル内に同時に記憶され、それぞれ複数のプログラミング・ワードと、（b） 論理セルの構成を制御するために、前記複数のプログラミング・ワードの選択されたプログラミング・ワードを選択する手段と、を含む、論理セルを中に有する集積回路チップ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、一般的にはプログラム可能集積回路デバイスに関連する。更に詳細に述べれば、本発明は動的再構成機能を有するプログラム可能アレイに関連する。

【0002】

【従来の技術】 プログラム可能集積回路は公知の技術であり、プログラム可能論理デバイス（「PLD」）、プログラム可能アレイ論理（「PAL」）、及びプログラム可能論理アレイ（「PLA」）を含む。これらの各プログラム可能回路は、入力AND論理プレーンの後にOR論理プレーンを設ける。このように、入力項の積和からなる出力関数が計算される。論理プレーンは、通常プログラム可能であり、その結果、プレーンの元の一般的な配置が特定の用途用にカスタマイズできる。

【0003】 プログラム可能回路のより一般的な方法には、プログラム可能ゲート・アレイ（「PGA」）に別個の未特定化論理セルのアレイを設けることが含まれる。プログラム可能相互接続ネットワークが通常設けられ、セルを相互接続し、アレイとの間でデータを入出力

する。一般的に設計された論理セル及び相互接続ネットワークを、特定の用途用にカスタマイズ、即ちプログラミングする。このようなアレイの1つが、マスク・プログラム可能ゲート・アレイ（「MPGA」）であり、ここでは、集積回路に最終金属化層を加えるときに、セルの構成及びネットワーク配線が実施される。修正された方法では、金属化層パターンのカスタマイズにレーザー集束エネルギーを使用する。別のこのようなアレイは、フィールド・プログラム可能ゲート・アレイ（「FPGA」）であり、ここでは構成はユーザが「フィールド」の中で実行する。このような構成は、電気的プログラム可能可融リンク、アンチヒューズ、メモリ制御トランジスタ、又は浮動ゲート・トランジスタを使用して実施される。上記に参照したプログラム可能論理集積回路の種類は、すべてここでは「プログラム可能アレイ」と呼ぶ。

【0004】 構成情報を保持するためにスタティック・ランダム・アクセス・メモリ（「SRAM」）セルを使用するFPGAの実施方式では、システム・パワーアップ/初期化の時点で、FPGAは外部ソースからSRAMセルへ構成情報を読取る。更に詳細に述べれば、図1において、FPGA13内のステート・マシン17は、FPGA13の外部の読取り専用メモリ（「ROM」）11から、並列又は順次プログラミング・ビット・ストリームを読取る。プログラミング・ビット・ストリームは、データ・バス23を介してFPGAに読取られ、データ・バス21を介して、FPGA内の各論理セル19の個々のプログラミング・セルへ適切に送られる。従来の制御通信はRAM11とステート・マシン17との間で実施され、データ転送を容易にする。周知のように、FPGAは、論理セル19を水平及び垂直相互接続25により相互接続したアレイ15を含む。これらの水平及び垂直相互接続25には、論理セル間の通信を容易にする、セル間プログラム可能経路指定資源が含まれる。

【0005】 プログラミング・ワード31（図2）は、FPGAの各論理セル19内で接続される。このプログラミング・ワードは、そこに上記のプログラミング・セルをビット（33a-33h）含む。例として8ビット・プログラミング・ワードを示すが、プログラミング・ワードは $1 \times N$ （ $N > 1$ ）ビットのレジスタ構造で構成され、Nは論理セルの適切な制御のために必要なサイズである。プログラミング・ワード31がロードされると、そのワードの個々のビット、プログラム可能論理27及びプログラム可能経路指定資源29の間が結合され、論理セル19の構成の制御を容易にする。プログラム可能論理27及びプログラム可能経路指定資源29は、データ・バス35により相互接続される。いくつかの実施方式では、プログラム可能経路指定資源は論理セル19の外部に配置される。

【0006】 従来の論理セル19は、一度に単一のプロ

グラムされた論理機能にしか使用できない。論理セルの再構成には、ステート・マシンの再活動化及びプログラミング・ワードの再書き込みが必要である。FPGAの機能操作中にこのような再プログラミングを実行することは可能であるが、相対的に大きな遅延を要し、再ロードされる特定の論理セルの操作について、少なくとも部分的な中断を伴う。

【0007】

【発明が解決しようとする課題】FPGAは、それ以前のマスク・プログラム型のゲート・アレイより柔軟性があるが、それほど複雑ではない論理機能でも、その実施には大きなシリコン領域を使用しなければならない。これは、FPGAのデータ・フロー指向型の性質に起因する。詳細に述べれば、事前にプログラムされた論理機能を各論理セルで適用しながら、プログラムされた論理セルからプログラムされた論理セルへデータが渡される。プログラム可能経路指定資源に関連する大きなオーバーヘッドに加えて、各論理セルは単一のプログラムされた機能を提供するために大きなオーバーヘッドを有するので、全体的なFPGA論理密度が低くなる。更に、これらの従来のデータパス指向型実施方式は、データパスの異なるビットへの信号経路指定における一貫性の無さが原因で、タイミングと性能に関してもマイナス面を伴う。

【0008】本発明は、上記の問題の解決を目指すものである。

【0009】

【課題を解決するための手段】第1の観点では、本発明はプログラム可能アレイ（「PA」）内に論理セルのための構成システムを含む。構成システムは、前記PAに同時に記憶される複数のプログラミング・ワードを含む。この各プログラミング・ワードは、論理セルの構成を制御するように機能する。更に、論理セルの構成を制御するために、複数のプログラミング・ワードの選択されたプログラミング・ワードを選択または活性化する方法を含む。

【0010】複数のプログラミング・ワードは、プログラミング・アレイを構成し、ここで各プログラミング・ワードは、例えば、Nビット（ $N > 1$ ）を有する。更に、プログラミング・アレイは、 $M \times N$ ビットを有するスタティック・ランダム・アクセス・メモリ（「SRAM」）・アレイを含む。

【0011】更に、選択手段は、プログラミング・アレイの異なるプログラミング・ワードを順次活性化するための、プログラム可能カウンタを含む。プログラム可能カウンタは、PAの少なくとも1つの別の論理セルを含む。

【0012】別の観点では、本発明はプログラム可能アレイ内の論理セルを構成する方法を含む。論理セルは、論理セルと関連付けられ、PAに同時に記憶される複数のプログラミング・ワードの各プログラミング・ワード

により制御可能である。この方法は、複数のプログラミング・ワードの選択されたプログラミング・ワードの決定、及び論理セルの構成を制御するためのその選択が含まれる。

【0013】前記方法は別の選択されたプログラミング・ワードの結合、又は選択されたプログラミング・ワードのシーケンスの連結を含む場合がある。複数のプログラミング・ワードは、事前にプログラム可能であり、更に再プログラム可能である。個々のプログラミング・ワードは、他のプログラミング・ワードを再プログラミングしなくても再プログラムできる。

【0014】また別の観点では、本発明の論理セルは、ICチップ内に配置できる。ICチップは、多数の異なるタイプのICチップを含み、その中で、例えば、フィールド・プログラム可能ゲート・アレイ、マイクロプロセッサ、又は特定用途向け集積回路を含む論理セルが使用できる。

【0015】要約すると、本発明は多数の利点及び特徴を有する。開示されたFPGA構造は、データ・フロー・ベースのFPGA構造に伴う密度及びタイミングに関する問題を解決する。論理セルのアレイの代替構成を提供することにより、更に多くの仮想論理セルが提供される。これは、中ぐらいのサイズの論理セルのアレイにおいても、その機能性及び能力を著しく強化する。機能を実施するために必要な実際の物理的論理セルの減少は、単一セル内にデータが常駐する時間の増加、及びセル間経路指定のタイミングが予測不能な環境におけるセル間の伝送時間の短縮を意味する。したがって、本発明の制御フロー構造は、タイミングを十分に改良する。このように、本発明の特徴は、フィールド・プログラム可能ゲート・アレイの能力を拡張し、強化する。

【0016】

【発明の実施の形態】本発明に基づき、ここでプログラミング・アレイと呼ぶプログラミング・ワードのアレイに論理セルが結合される。プログラミング・アレイの出力は、選択されたプログラミング・ワードを含み、これは論理セルのプログラム可能論理及びプログラム可能経路指定資源への構成入力として機能し、それによって構成が容易に実施される。

【0017】図3に示すように、論理セル19には、プログラミング・アレイ50が含まれ、このアレイは、例えばプログラミング・ワード31、39、41、...、43及び45を含む。全体としてプログラミング・アレイ50は、各々Nビットのプログラミング・ワードM個の配列で構成され、 $M \times N$ プログラミング・アレイを形成する。プログラミング・アレイの選択されたプログラミング・ワードが、プログラム可能論理27及びプログラム可能経路指定資源29とデータ・パス37を介して結合され、その結果論理セルが適切に構成される。このような選択的結合は、例えば、多重化及び転送ゲート結

合など、公知の在来技術の1つにより実施できる。

【0018】例として、プログラミング・アレイの中のプログラミング・ワードのプログラミング・ビットに関する詳細を、図4に示す。この例では、プログラミング・ワードを2つ（プログラミング・ワード0（61）及びプログラミング・ワード1（63））、及び各プログラミング・ワードにメモリ・セルを3つ（即ちビット）用いる。個々のメモリ・セル（81a－81f）は、例えばデータ入出力それぞれに転送ゲートを使用する（書込み転送ゲート65及び読取り転送ゲート67）、従来のデュアル・ポート・メモリ・セルを含む。

【0019】メモリ・セルの各「列」の出力は、一緒に接続されて読取りビットライン69a－69cとなり、プログラム可能論理27又はプログラム可能経路指定資源29のどちらかに経路指定される。どちらになるかは、特定のFPGA設計により決まる。読取りワード・ライン（「RWL」－73又は77）が選択または活性化されると、対応するプログラミング・ワード（即ち、メモリ・セルの行）からの出力が論理セルの選択された構成を示す。例えば、RWL0 73が選択されると、プログラミング・ワード0（61）が論理セルの構成を決定する。読取りワード・ラインは、下記に詳しく説明するように、例えばプログラム可能カウンタ又は相互接続ネットワークに結合される。

【0020】メモリ・セルの各「列」の入力は、一緒に接続されて書込みビットライン71a－71cとなり、ステート・マシンに経路指定され、ROMから検索されたデータによるプログラミングを容易にする。書込みワード・ライン（「WWL」－75又は79）の1つが選択されると、書込みビットラインに存在するデータが、選択されたWWLに対応するプログラミング・ワードのメモリ・セルに書込まれる。例えば、WWL0 75が連結されると、書込みビットライン71a－71cに存在するデータが、プログラミング・ワード0（61）に書込まれる。プログラミング中に、ステート・マシンはこのような方法で各プログラミング・ワードを書込む。従来のプログラミングは同様な方法で実行されるが、各論理セルについてプログラミング・ワードは1つだけである。書込みワードラインは、従来の多重化の方法によりステート・マシンと結合され、選択されたプログラミング・ワードのプログラミングを容易にする。

【0021】選択されたプログラミング・ワードをプログラミング・アレイから動的に連結する能力により、論理セル19をほとんど瞬時に構成することが可能になる。これにより、例えばSRAMベースのプログラミング・ワードを再ロードするために以前は必要だった、ダウンロード時間を不要にする。本発明は、ここではSRAMベースのプログラミング・アレイに関して説明するが、FPGAに関して使用される他の周知の記憶技術にも適用できることは明かである。例えば、ヒューズ/ア

ンチヒューズ構造を使用する場合、アレイのプログラム可能性は失われるが、密度の改良が達成される。

【0022】図5は、ROM11と結合されたFPGA13を示す図である。各論理セル19は、本発明のプログラミング・アレイを含む。システム・パワーアップ/初期化の時点で、FPGA13は上記の説明のように、論理セル19に関連付けられたプログラミング・アレイに構成情報を読取る。更に詳細に述べると、FPGA13内のステート・マシン17は、FPGA13の外部に置かれたROM11から、並列又は順次プログラミング・ビット・ストリームを読取る。プログラミング・ビット・ストリームは、データ・バス21を介して、FPGA内の各論理セル19のプログラミング・アレイのプログラミング・ワードに適切に渡される。ステート・マシンは各プログラミング・ワードのワードラインに、例えば従来の多重化回路などを介して結合され、その結果各プログラミング・ワードがロードされる。

【0023】プログラミング・アレイは、FPGAの機能操作中でも、全体又は部分的に再プログラムされる能力を維持する。従来の論理セルの単一プログラミング・ワードにおけるこのような再プログラミングは、いくつかのFPGAで使用可能であり、本発明と関連したその実施は、通常の技術の1つで明かである。このような再構成の例の1つは、米国特許第5,336,950号、発明の名称「構成可能論理アレイの構成特性」、1994年8月9日発行で開示されている。これは、そのままここで参照として記載する。

【0024】従来のFPGAでは、論理セルのための単一のプログラミング・ワードの再プログラミングは難しかった。これは、プログラミング・ワードが、対応する論理セルの操作機能を決定していたためである。本発明では、FPGAの操作に割込むことなく、アレイの非選択プログラミング・ワードを再プログラムできる。このような再プログラミングは、書込むデータを書込みビットライン上に置き、その書込みワードラインを連結してデータを所望のプログラミング・ワードへラッチすることにより実行される。

【0025】図5を参照すると、プログラム可能カウンタ53が論理セルのプログラミング・アレイと結合されている。実施例の1つとして（図6）、本発明のFPGAは、単一の共用プログラム可能カウンタ53を有し、その出力は論理セルの読取りワードラインと結合している。操作では、プログラム可能カウンタ53が変化しないとき、FPGAは従来通り機能し、各論理セル用の選択されたプログラミング・ワードで特定の論理セルの構成を決定する。しかし、プログラム可能カウンタ53をクロックすると、カウンタは各論理セルのプログラミング・アレイ50のアドレス範囲で事前にプログラムされたように順番付けられ、論理セルの構成を変更する。

【0026】各セルについて、カウンタのアドレス出力

がクロック・サイクル毎に更新されると、プログラミング・アレイ50が、選択されたプログラミング・ワードを論理セル19へ提供するように更新され、その結果論理セルの構成が更新される。前のクロック・サイクルからのデータは、論理セル・ラッチ（図示されていない）の中にそのまま保持され、次に新しい論理セル機能に対して処理され、新しいクロック・サイクルの終了前にラッチされる。この後、セル機能はプログラム可能カウンタにより再び更新される。このようなラッチの個々の技術は、従来の技術の1つで明かであり、他のFPGA及びパイプライン化プロセッサ等を含む多数の異なる用途で使用される。

【0027】これは、プログラム可能カウンタの構成方法の1例にすぎない。論理セルの列毎に1つのプログラム可能カウンタを設ける方法（図5）、FPGA全体に対して1つのプログラム可能カウンタを設ける方法（図6）、又はその他の有効なプログラム可能カウンタの構成が可能である。もちろん、論理セル1つに対して多くのプログラム可能カウンタを設けるほど、操作の柔軟性が増すが、シリコン面積はそれだけ犠牲になる。

【0028】FPGAをデータが移動するにつれてFPGAの論理セルのプログラミングを動的に変更する機能により、多数の追加論理セル構成を容易に作成できるようになる。このように、数個のプログラム可能論理セルを使用して、多数の固定論理セルをエミュレートできる。したがって、プログラミング・アレイ及びプログラム可能カウンタが使用する追加シリコン面積から求められるより大きな仮想回路密度が作成される。

【0029】更にプログラム可能カウンタの操作に関して、そのプログラミング機能は、例えば次のことが可能である。

1. プログラミング・アレイのアドレス空間全体で、順方向又は逆方向の順番付けができる。
2. アドレス空間の部分領域でループさせる。及び
3. アドレス空間内の特定の場所にジャンプする。

本質的に、プログラム可能カウンタはプログラム可能ステート・マシンとして機能し、その出力はプログラミング・アレイへのアドレス入力を制御する。したがって、プログラム可能カウンタの状態が変化するたびに、対応するプログラミング・ワードが論理セルと結合し、その構成を変更する。カウンタ自身は、専用論理又はFPGAのプログラムされた論理セルを使用して実施できる。

【0030】都合のよいことに、プログラミング・アレイの内容はステート・マシンからアクセス可能なので、アレイの一部分はカウンタがアクセスしなくても更新できる。更に、カウンタのプログラミングも変更できる。又はカウンタが複数存在する場合は、プログラミング・アレイからのアドレス接続を、別個にプログラムされたカウンタへ経路指定できる。まだ他にも、このような各種の構成が可能である。このような経路指定及び構成制

御に必要な個々の技術は、周知のFPGA技術であり、例えば、多重化、転送ゲート、及びプログラミング・ワード・ビットで駆動されるトライステート回路などが含まれる。

【0031】本発明の代替実施例（図7）では、プログラミング・アレイ50のM個のプログラミング・ワードの各々がワードライン61を有する。個々のプログラミング・ワードのワードライン上で信号が駆動されると、そのワードが論理セル19の構成の制御に使用される。これらのワードラインは、FPGA内の相互接続マトリックスにプログラム可能な状態で接続され、その結果、そこへの接続が内部の論理セル（及び外部のソース）により実行できる。これは、上記で説明したように、例えばプログラム可能カウンタをFPGAの論理セルから作成することを容易にする。

【0032】一般的には、アレイのプログラム可能性を提供する各種の公知技術が存在する。これらの技術のどれも、又はその変種も、本発明のプログラミング・アレイのプログラミングに使用できる。マスク・プログラミング技術は、一般的に設計された集積回路の最後の金属化層の付着のカスタマイズを含む（例えば、米国特許第3,993,919号、Coxその他、1976年11月23日発行、発明の名称「論理アレイ用プログラム可能ラッチ及びその他の回路」、ならびに米国特許第4,742,383号、Fitzgerald、1988年5月3日発行、発明の名称「複数機能FETマスターライズ・セル」を参照されたい。どちらの特許も本出願と同じ譲受人へ譲渡した）。レーザー・プログラミング技術には、金属化層の付着後のこの金属化層のカスタマイズが含まれる（例えば、Raffel他著の、「再構成可能VLSIを使用したウェーハ・スケール・ディジタル・インテグレータ」IEEE Journal of Solid-State Circuits、Vol. SC-20、No. 1、1985年2月、399ページを参照されたい）。可融リンク又はアンチヒューズを使用し、永続的（不揮発性）プログラミングを提供できる（例えば、Millman著の、「マイクロエレクトロニクス」、McGrawHill, Inc.、1979年、196ページ、及び米国特許第4,758,745号、Elgama1他、発明の名称、「ユーザ・プログラム可能集積回路相互接続構造及び試験方法」、1988年7月19日発行を参照されたい）。紫外線消去型プログラム可能読取り専用メモリ（「EPROM」）及び電気的消去型プログラム可能読取り専用メモリ（「EEPROM」）デバイスを使用し、半永続的プログラミングを提供できる。EPROM及びEEPROMは、どちらも電気的にプログラム可能であり、電力が除去されても状態を保持する。ただし、特殊な消去手続きを使用して、デバイスの再構成が可能である（例えば、Wool他著の、「高速ターンアラウンド時間VLSI

開発ハードウェア用電気的変更可能PLA」、IEEE Journal of Solid-State Circuits、Vol. SC-16、No. 5、1981年10月、570ページを参照されたい)。最後に、揮発性ランダム・アクセス・メモリ（「RAM」）デバイスも使用可能である。これらは完全にプログラム可能及び再プログラム可能であるが、電力が除去されると、プログラムされた状態が消失する（例えば、米国特許第4,177,452号、Balasubramanian他、1979年12月4日発行、本出願と同じ譲受人に譲渡されたものを参照されたい）。プログラミング・アレイ用のこれらの技術及び他の技術は、当業者には周知であり、S. Brown、R. Francis、J. Rose、Z. Vranesic共著の出版物「フィールド・プログラム可能・ゲート・アレイ」、Kluwer Academic Publishers、1992年で一般的に説明されている。上記に名前の挙げた文献は、すべてを本書で参照として用いる。

【0033】論理セルのプログラミング及び資源の経路指定に関する本発明の好ましい方法は、ユーザがプログラムするSRAMメモリ・セルを含む。SRAMメモリ・セルは、出版物「アプリケーション・ノートAT6000シリーズ構成」、1993年5月、第1B版、Atmel Corporationの中で開示された技術に基づいて構成される。これは、すべてを本書で参照として用いる。

【0034】1つの用途例として、FPGAのプログラムされた論理セル19を図8に示す。論理セルは、選択可能な4つの数学関数の1つを実行するようにプログラムされる。4つの関数の各々は、選択可能な4つのプログラミング・ワードにより論理セルへプログラムされている。ワードライン61aが連結されると、セルが加算関数を実行するための適切なプログラミングを含むプログラミング・ワードが、論理セル19用を選択される。同様に、ワードライン61bを連結すると、セルの減算関数が実行され、ワードライン61c又は61dの連結は、それぞれセルの左シフト又は右シフト関数を実行する。この例では、ワードラインはFPGAの他の論理セルと結合され、所望する数学関数を連結する適切なワードラインを選択する。

【0035】本発明の技術は、スタンド・アロンFPGA用途以外でも使用できる。例えば、論理セル及びその

関連プログラミング・アレイは、特定用途向け集積回路（「ASIC」）又はマイクロプロセッサなどの、他の集積回路内のプログラム可能コアとして使用できる。プログラム可能コアは、ここで開示したプログラム可能アレイを含む。このような用途は、新しいコンピュータ・タスクのための再構成、及びそれらタスクの性能に関する柔軟性を高める。

【0036】本発明は多数の利点及び機能を有す。開示されたFPGA構造は、データ・フロー・ベースのFPGA構造に伴う密度及びタイミングに関する問題を解決する。論理セルのアレイの代替構成を提供することにより、多数の仮想論理セルが提供される。これは、中ぐらゐのサイズの論理セルのアレイにおいても、その機能性及び能力を著しく強化する。機能を実施するために必要な実際の物理的論理セルの減少は、単一セル内にデータが常駐する時間の増加、及びセル間経路指定のタイミングが予想不能な環境におけるセル間の伝送時間の短縮を意味する。したがって、本発明の制御フロー構造は、タイミングを十分に改善する。このように、本発明の技術は、フィールド・プログラム可能ゲート・アレイの能力を拡張し、強化する。

【図面の簡単な説明】

【図1】構成データを含む外部ROMに接続された従来のFPGAを示す図である。

【図2】図1の従来のFPGAの論理セルを示す図である。

【図3】本発明の実施例の1つに準ずる、プログラミング・アレイを有すFPGAの論理セルを示す図である。

【図4】本発明の1つの実施例に従う、論理セル内の個々のメモリ・セルを示す図である。

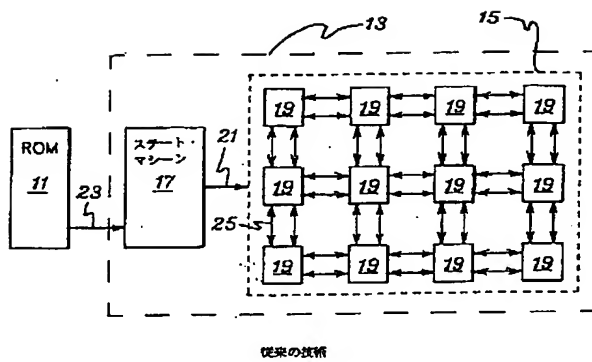
【図5】本発明の実施例に従う、図4の論理セルを含むFPGAを示す図である。

【図6】本発明の1つの実施例に準拠する、プログラミング・ワードの順次連結のためにプログラム可能カウンタと接続する、図4の論理セルを示す図である。

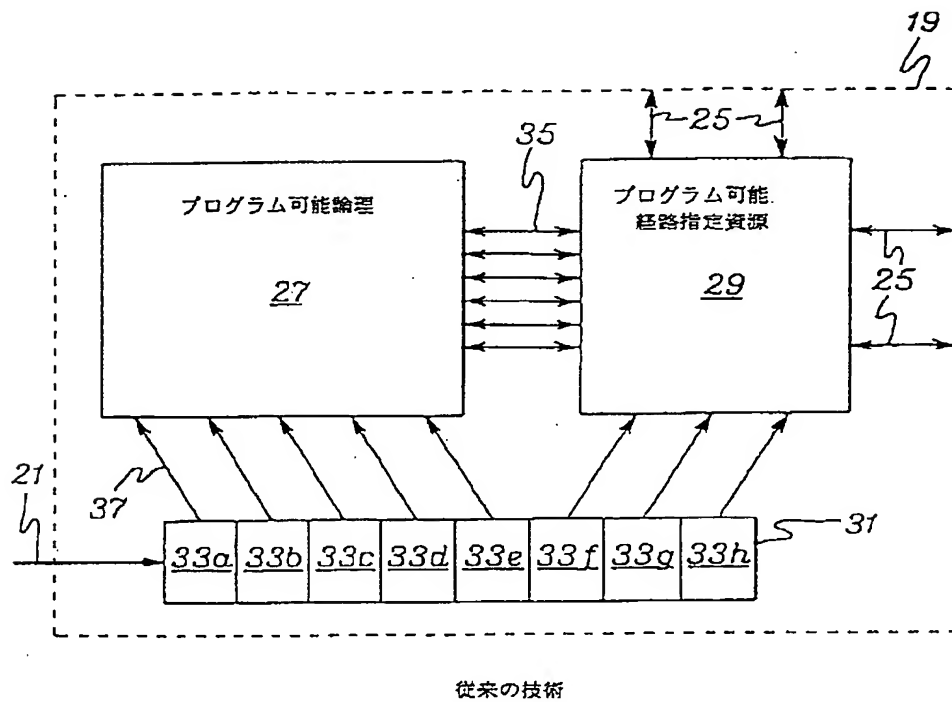
【図7】本発明の実施例に準ずる、FPGA経路指定マトリックスからの信号により連結を容易にする各プログラミング・ワードのワードラインを有す、図4の論理セルを示す図である。

【図8】本発明の1つの実施例に従い、各種の数学関数を実行するためにプログラムされた論理セルを示す図である。

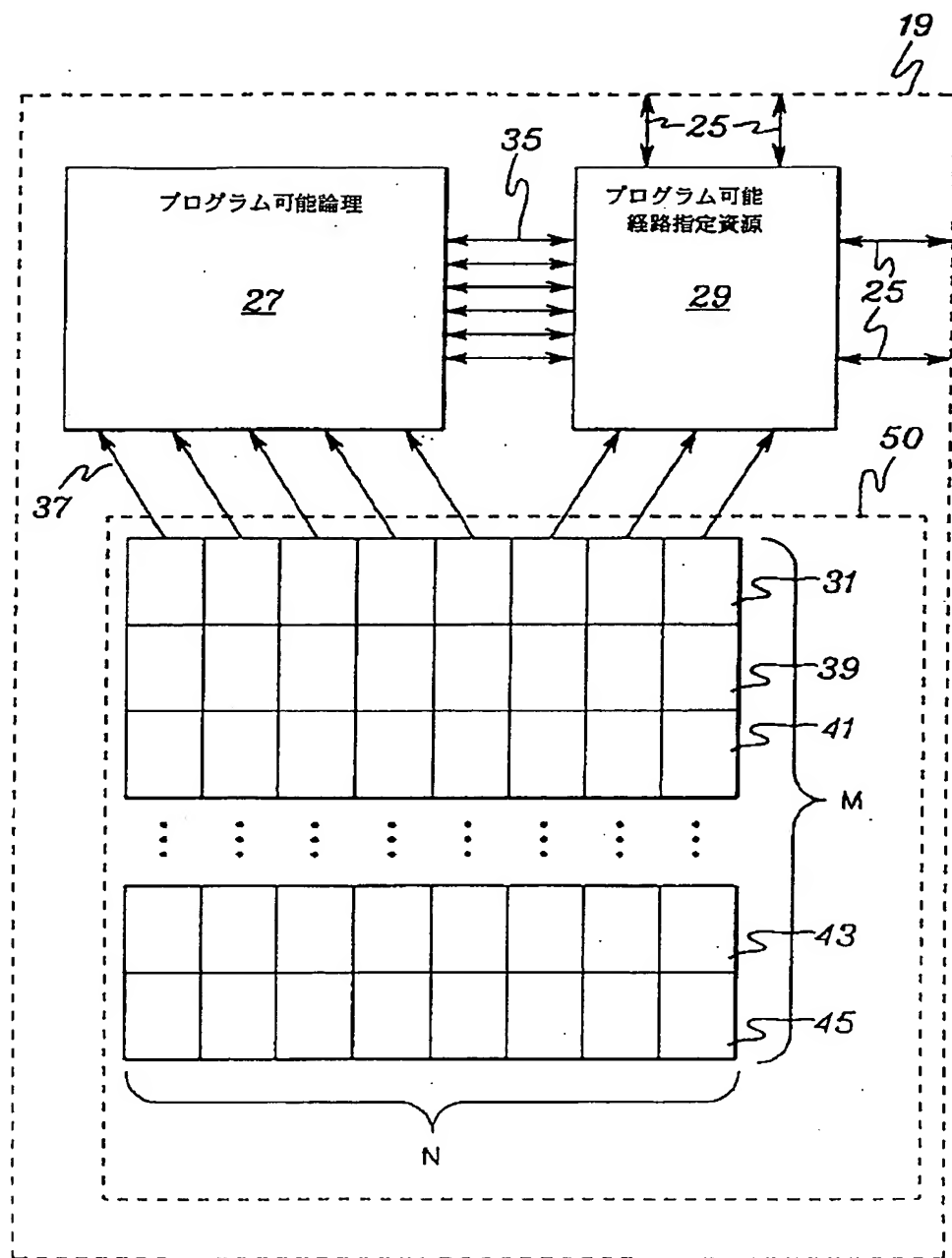
【図 1】



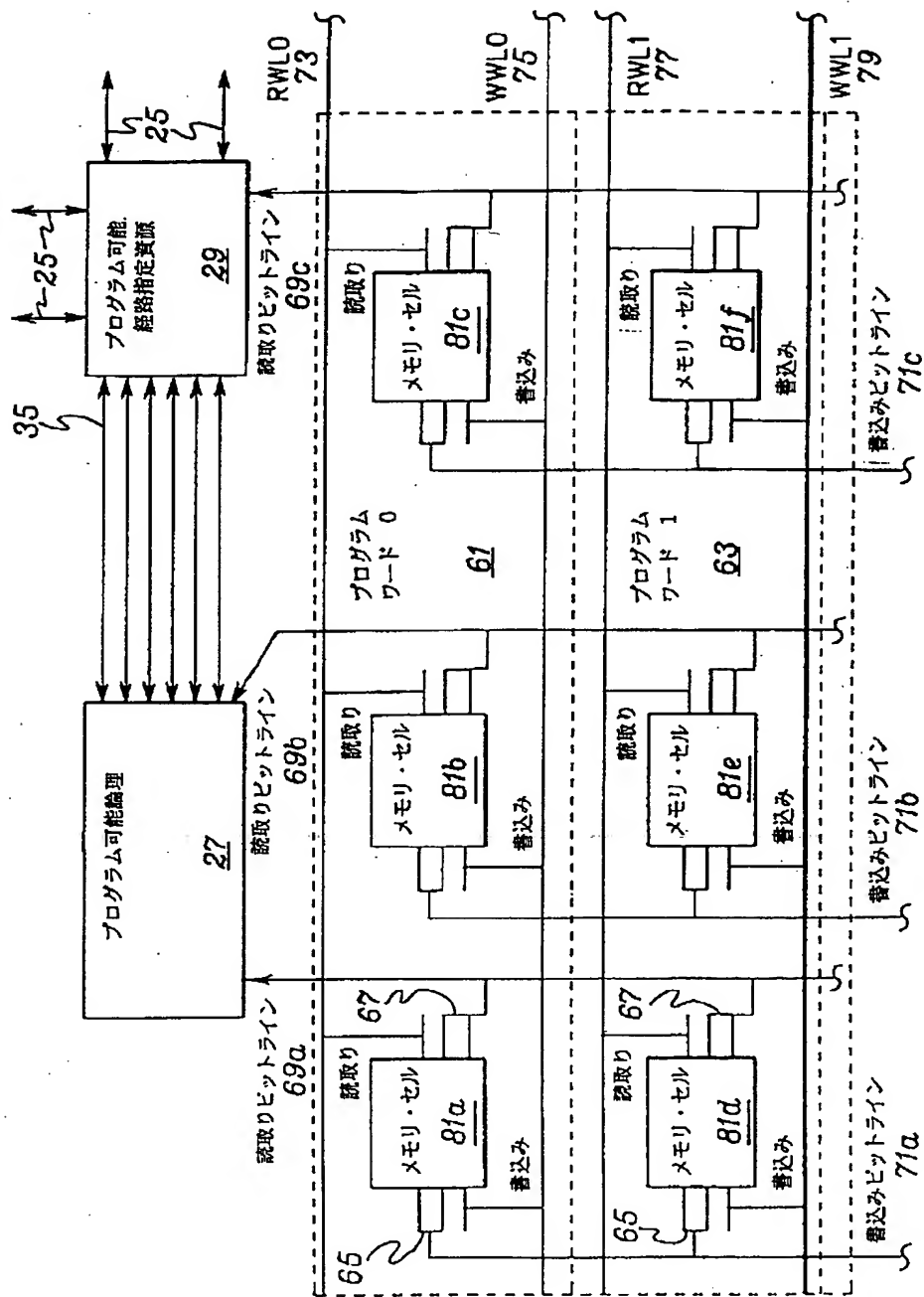
【図 2】



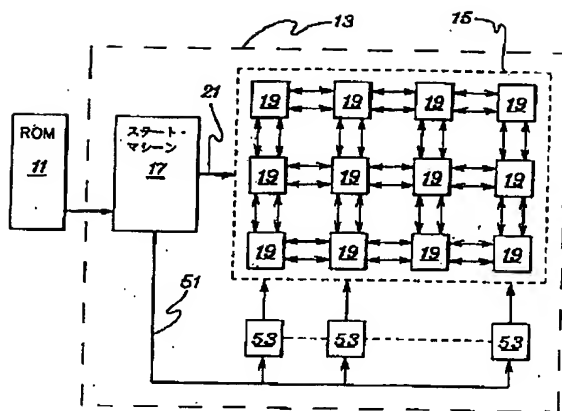
【図 3】



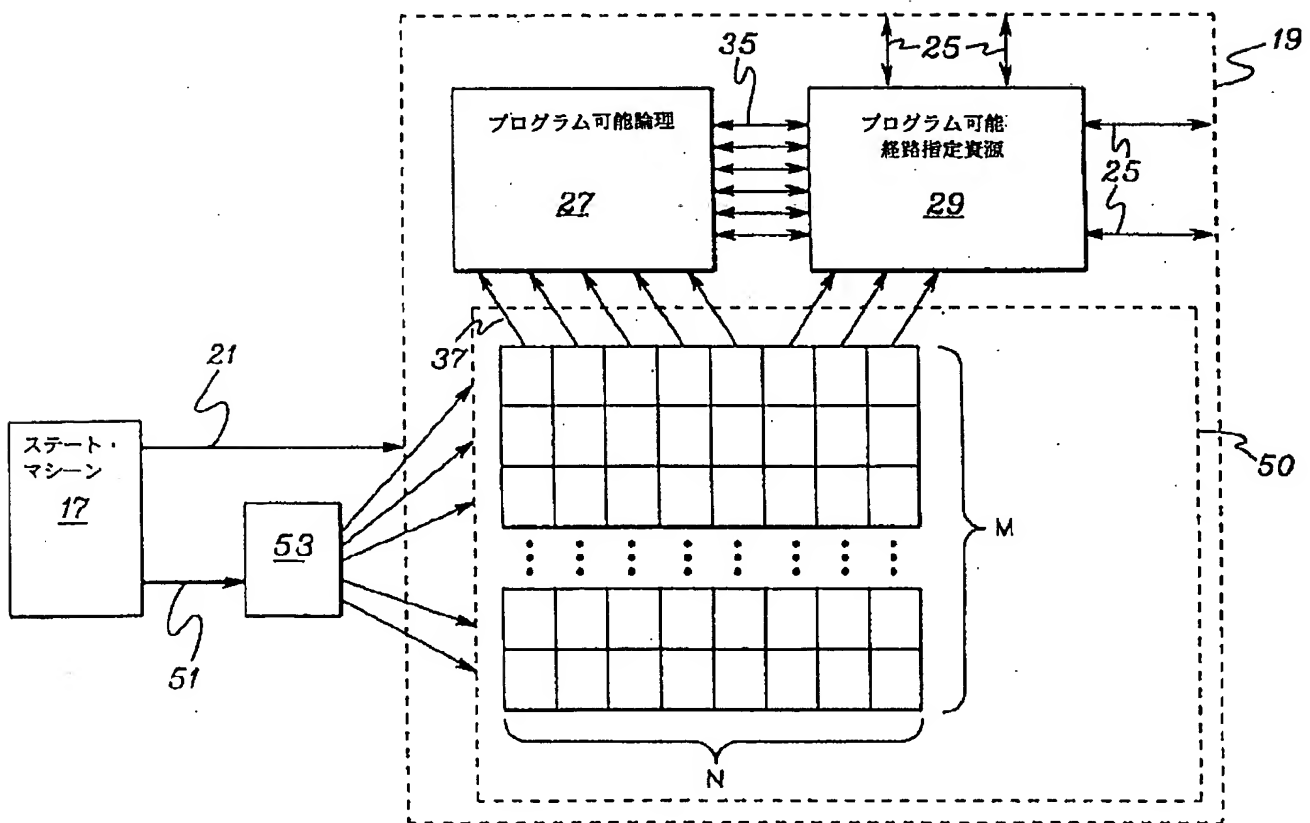
【図4】



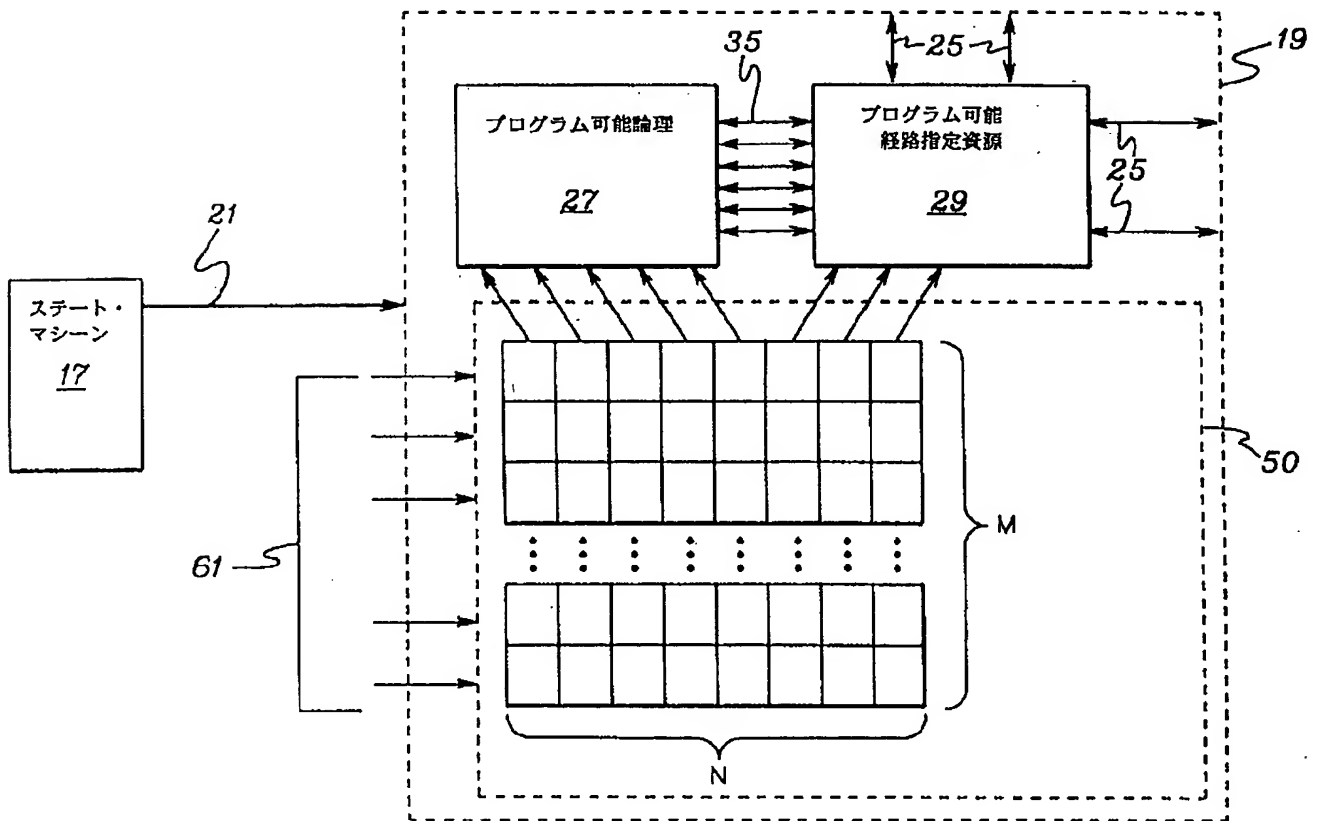
【図5】



【図6】



【図7】



【図8】

